

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09017875 A**(43) Date of publication of application: **17.01.97**

(51) Int. Cl.

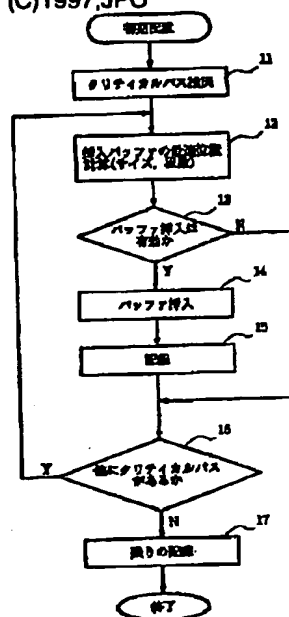
**H01L 21/82
G06F 17/50**(21) Application number: **07165534**(71) Applicant: **NEC CORP**(22) Date of filing: **30.06.95**(72) Inventor: **MINOWA MASAYUKI**(54) **AUTOMATIC LAYOUT METHOD OF
SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PURPOSE: To realize an automatic layout method of a semiconductor device which improves delay characteristics of a critical net between function cells.

CONSTITUTION: A critical net between function cells is extracted (step 11), and when a buffer is inserted into the critical net extracted, an optimum insertion position is calculated (step 12), and it is judged whether or not an insertion of the buffer is effective in improvements of a delay time (step 13). When it is decided that the insertion of the buffer is effective, the buffer is inserted into an insertion position calculated in step 12 (step 14), and a wiring is carried out between function cells (step 15). Next, presence or absence of existence of the other critical net is checked (step 16), and when it is present, return to step 12, and an additional arrangement and a wiring algorithm of the buffer are repeatedly executed. When the other critical step is absent, a wiring of the remaining other than the critical net is carried out (step 17).



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17875

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/82			H 0 1 L 21/82	C
G 0 6 F 17/50			G 0 6 F 15/60	6 5 6 D
			H 0 1 L 21/82	W

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平7-165534

(22) 出願日 平成7年(1995)6月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 箕輪 政幸

東京都港区芝五丁目7番1号 日本電気株式会社内

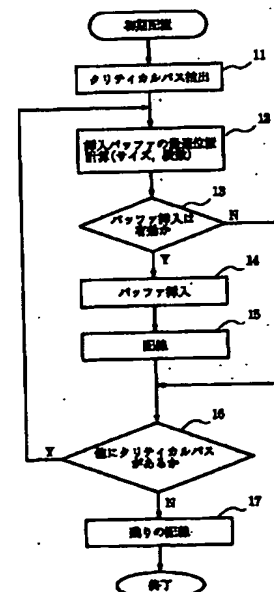
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の自動レイアウト方法

(57) 【要約】

【目的】 機能セル間のクリティカルネットの遅延特性を改善する半導体装置の自動レイアウト方法を実現する。

【構成】 機能セル間のクリティカルネットを抽出し（ステップ11）、抽出されたクリティカルネットにバッファを挿入した際の最適挿入位置を計算して（ステップ12）、バッファを挿入することが遅延時間の改善に有効であるか否かを判定する（ステップ13）。バッファの挿入が有効であると判定される場合には、ステップ12において計算された挿入位置にバッファを挿入し（ステップ14）、機能セル間の配線を行う（ステップ15）。次いで、他のクリティカルネットの存在の有無がチェックされて（ステップ16）、存在する場合にはステップ12に戻り、バッファの追加配置・配線手順を繰返し実行する。存在しない場合には、クリティカルネット以外の残部の配線が行われる（ステップ17）。



【特許請求の範囲】

【請求項1】 半導体装置に対して機能セルを自動的に配置・配線する自動レイアウト方法において、前記機能セルの配置または配線後に、機能セル間のクリティカルネットに少なくとも1個以上のバッファを挿入する際に、前記機能セル、クリティカルネットおよびバッファに起因する遅延回路要素をパラメータとして、前記クリティカルネットの遅延量を最低の値とするバッファの最適挿入配置を算出し、当該算出位置に前記バッファを配置することを特徴とする半導体装置の自動レイアウト方法。

【請求項2】 前記バッファの最適挿入位置を算出して求める際に、前記クリティカルネットの配線抵抗値および配線容量値、前記機能セルならびに前記バッファの出力抵抗値、前記機能セルならびに前記バッファの入力容量値、および前記バッファ固有の内部遅延量を含む実回路変動定数値をパラメータとして、当該クリティカルネットの遅延量を最小にするバッファの最適挿入位置を数理解的に算出して求めることを特徴とする請求項1記載の半導体装置の自動レイアウト方法。

【請求項3】 前記バッファの最適挿入位置を数理解的に算出する際に、次記の手順により、前記バッファの最適挿入配置を求めることを特徴とする請求項2記載の半導体装置の自動レイアウト方法。

(1) 前記クリティカルネットの配線抵抗値および配線容量値、前記機能セルならびに前記バッファの出力抵抗値、前記機能セルならびに前記バッファの入力容量値、および前記バッファ固有の内部遅延量を含む実回路変動定数値をパラメータとして、当該クリティカルネットの遅延量 T を算出する。

(2) 前記遅延量 T の機能セルからの配線長 L_i (i は、挿入バッファの数) による微分係数を0に等値して、当該遅延量 T の最低値に対応するバッファの挿入位置を機能セルからの配線長 L_i として求める。

(3) 前記配線長 L_i に対応する前記クリティカルネットの遅延量 T_{\min} を求めて、当該 T_{\min} の値をバッファを挿入しない場合の当該クリティカルネットの遅延量 T_a の値と比較照合し、 $T_a - T_{\min} > 0$ の時に、前記 L_i の位置にバッファを配置する。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の自動レイアウト方法に関し、特に機能セル間に存在するクリティカルネットの遅延特性を改善する際に、当該クリティカルネットの最適挿入位置にバッファを配置する半導体装置の自動レイアウト方法に関する。

【0002】

【従来の技術】 従来、半導体装置における自動レイアウト方法としては、配線上のクリティカルネットにおける遅延量を低減するために、当該クリティカルネットにバ

ッファを挿入し、そのバッファの挿入位置を最適化する配線方法が提案されている。例えば、特開平4-23347号公報または特開平4-282772号等において、その配線方法が開示されている。以下、図3を参照して、前記特開平4-23347号公報の内容の要点について説明する。

【0003】 図4(a)および(b)において、半導体装置のレイアウトにおける自動配置または配線後において、機能セル1と機能セル2の間がクリティカルネットであるものとして、その間にバッファ3を挿入するものとする。この場合における配線に起因する遅延量は配線長の2乗に比例して増大するが、前記特開平4-23347号公報による提案によれば、機能セル1と機能セル2との間の配線長 L が一定であるものと仮定した場合に、機能セル1とバッファ3の間のクリティカルネットの配線長 L_1 が、或る長さの範囲内にある場合には、バッファ3を機能セル1と機能セル2との間に挿入することにより、結果的に機能セル1と機能セル2との間のクリティカルネットにおける総遅延量が低減される場合があるものとしている。即ち、図4(a)における機能セル1とバッファ3との間の配線長 L_{10} と、図4(b)における機能セル1とバッファ3との間の配線長 L_{11} とを適当に選択し、バッファ3を、これらの配線長 L_{10} と L_{11} の範囲内にある配線長に対応する位置に挿入することにより、クリティカルネットの遅延量を低減する際に、バッファ3の最適挿入位置が得られるものとしている。

【0004】 なお、図3には、クリティカルネット間にバッファを挿入しない場合の遅延特性4と、バッファを挿入した場合の遅延特性5が示されている。図3において、横軸は配線長を示し縦軸は遅延量を示しており、バッファを挿入した場合の遅延特性5における点Aと点Bとの間の遅延量の差はバッファ3の内部遅延量によるものである。

【0005】

【発明が解決しようとする課題】 上述した従来の半導体装置のレイアウト方法においては、クリティカルネット間における或る範囲内の位置にバッファを挿入することにより、当該クリティカルネット間の遅延量を低減することができるものとしているが、この配線方法による場合には、バッファの挿入位置には或る幅があり、機能セルおよびバッファにおける出力抵抗および入力容量、バッファの内部遅延量、配線における単位長当りの抵抗および容量等の影響を受けて、必ずしも、バッファがクリティカルネット間における最適挿入位置に配置されるものとは限らないという欠点がある。このバッファの最適挿入位置が必ずしも得られないという欠点は、前記特開平4-282772号公報による提案の場合においても同様である。

【0006】 本発明の目的は、半導体装置における配置配線後において、クリティカルネットにバッファを挿入

する場合に、当該クリティカルネットの遅延量を低減することを目的として、機能セル、バッファおよび配線等に起因するリアルな回路諸要因を配慮した上で、前記バッファの最適挿入位置を明確に設定して、配置配線を行うことのできる半導体装置の自動レイアウト方法を実現することにある。

【0007】

【課題を解決するための手段】本発明の半導体装置の自動レイアウト方法は、半導体装置に対して機能セルを自動的に配置・配線する自動レイアウト方法において、前記機能セルの配置または配線後に、機能セル間のクリティカルネットに少なくとも1個以上のバッファを挿入する際に、前記機能セル、クリティカルネットおよびバッファに起因する遅延回路要素をパラメータとして、前記クリティカルネットの遅延量を最低の値とするバッファの最適挿入配置を算出し、当該算出位置に前記バッファを配置することを特徴としている。

【0008】なお、前記バッファの最適挿入位置を算出して求める際に、前記クリティカルネットの配線抵抗値および配線容量値、前記機能セルならびに前記バッファの出力抵抗値、前記機能セルならびに前記バッファの入力容量値、および前記バッファ固有の内部遅延量を含む実回路変動定数値をパラメータとして、当該クリティカルネットの遅延量を最小にするバッファの最適挿入位置を数理解析的に算出して求めてもよく、或はまた前記バッファの最適挿入位置を数理解析的に算出する際には、次記の手順により、前記バッファの最適挿入配置を求めるようにしてもよい。

(1) 前記クリティカルネットの配線抵抗値および配線容量値、前記機能セルならびに前記バッファの出力抵抗値、前記機能セルならびに前記バッファの入力容量値、*

$$T = R_1 (C_0 \cdot L_1 / 2 + C_3) + R_0 C_0 L_1^2 / 2 + T_3 + R_3 \{C_0 \cdot (L - L_1) / 2 + C_2\} + R_0 C_0 \cdot (L - L_1)^2 \dots\dots\dots (1)$$

上式において、 R_1 および R_2 は、それぞれ機能セル1およびバッファ3の出力抵抗、 C_2 および C_3 は、それぞれ機能セル2およびバッファ3の入力容量、 T_3 はバッファ3の内部遅延量、 C_0 および R_0 は、それぞれ配線の単位長当りの容量および抵抗である。上式による遅延

$$L_1 = L / 2 - (R_1 - R_2) / 4 R_0 \dots\dots\dots (2)$$

従って、クリティカルネットにバッファ3を挿入することを前提にして考えると、上記(2)式によって得られる配線長 L_1 の位置またはその近傍の位置にバッファ3を挿入することにより、クリティカルネットにおける遅延

$$T' = R_1 (C_0 L / 2 + C_2) + C_0 R_0 \dots\dots\dots (3)$$

上記の(1)式、(2)式および(3)式より、バッファ3を挿入した場合の遅延量 T と、挿入しない場合の遅延量 T' の差、 $\Delta T = T' - T$ の値が0よりも大きい場合、即ち、下記の(4)式が成立つ場合には、バッファ☆

$$\Delta T = T' - T > 0 \dots\dots\dots (4)$$

*および前記バッファ固有の内部遅延量を含む実回路変動定数値をパラメータとして、当該クリティカルネットの遅延量 T を算出する。

(2) 前記遅延量 T の機能セルからの配線長 L_i (i は、挿入バッファの数)による微分係数を0に等値して、当該遅延量 T の最低値に対応するバッファの挿入位置を機能セルからの配線長 L_i として求める。

(3) 前記配線長 L_i に対応する前記クリティカルネットの遅延量 T_{\min} を求めて、当該 T_{\min} の値をバッファを挿入しない場合の当該クリティカルネットの遅延量 T_a の値と比較照合し、 $T_a - T_{\min} > 0$ の時に、前記 L_i の位置にバッファを配置する。

【0009】

【実施例】次に、本発明について図面を参照して説明する。

【0010】図2は本発明の1実施例が適用される半導体装置において、機能セル1と機能セル2との間のクリティカルネットにバッファ3を配置する状態を示すブロック図である。以下、図2を参照して、バッファ3の最適挿入位置を求める方法について説明する。

【0011】図2においては、半導体装置における初期配置が終了した状態において、機能セル1と機能セル2との間の配線がクリティカルネットである場合に、当該クリティカルネットにバッファ3を1個挿入する状態が示される。ここにおいて、機能セル1の出力から、バッファ3を経由して機能セル2の入力に到達するまでの遅延量を T として、クリティカルネットの配線長 L を L_1 と $L - L_1$ とに分割した場合には、遅延量 T は次式により与えられる。

【0012】

※遅延 T を配線長 L_1 により微分して0に等値すると、遅延量 T を最小値とする配線長 L_1 は次式により求められる。

【0013】

★遅延 T の最小値を求めることができる。ここにおいて、バッファ3を挿入しない場合の遅延量を T' とすると、遅延量 T' は次式により与えられる。

【0014】

☆3を挿入することにより、クリティカルネットにおける遅延時間を改善することができる。

【0015】

なお、その際には、バッファ3の出力抵抗 R_3 の値をより小さくすることにより、クリティカルネットにおける遅延量を更に改善することができる。また、機能セル間の配線長が長く、これに対応して2個以上のバッファを挿入することにより、より一層の遅延時間が改善される場合においても、上記の手法により、クリティカルネットにおける遅延量 T を最小とする位置に、バッファを挿入することが可能である。

【0016】次に、本発明による半導体装置の自動レイアウト方法について説明する。図1は、半導体装置の初期配置または配線後における、本発明の自動レイアウト方法の1実施例の配置・配線手順を示すフローチャートである。半導体装置の初期配置または配線を行った後に、まず、機能セル間におけるクリティカルネットを抽出する(ステップ11)。抽出されたクリティカルネットに対して、バッファを挿入した際の、そのサイズ、段数および駆動能力(出力抵抗)等を含めて、当該バッファの最適挿入位置の計算(前記(1)~(3)式を参照)を行う(ステップ12)。次いで、クリティカルネットにバッファを挿入することが、当該クリティカルネットの遅延時間の改善に有効であるか否かが判定されて(前記(4)式を参照)、有効であると判定される場合にはステップ14に移行し、有効でないと判定される場合には、ステップ16に移行する(ステップ13)。ステップ13において、バッファの挿入が、クリティカルネットの遅延時間の改善に有効であると判定される場合には、ステップ12において計算されたクリティカルネットにおける最適挿入位置にバッファが挿入配置される(ステップ14)、対応する機能セル間の配線が行われる(ステップ15)。次いで、当該半導体装置において、他のクリティカルネットに相当するパスが存在するか否かがチェックされるが(ステップ16)、このステップ16による手順は、ステップ13において、バッファを挿入することがクリティカルネットの遅延時間の改善に有効でないと判定される場合においても同様である。ステップ16において、他にもクリティカルネットが存在し抽出される場合には、ステップ12に戻り、当該クリティカルネットについて、ステップ12以降のバッファの追加配置および配線手順が繰返して実行される。また、ステップ16において、他にクリティカルネ

ットが存在しない場合には、クリティカルネット以外の残部の配線が行われて(ステップ17)、半導体装置のレイアウト処理が全て終了する。

【0017】このようにして、半導体装置における配置および配線を含む自動レイアウト方法において、機能セル間に存在するクリティカルネットを抽出し、当該クリティカルネットにバッファを挿入する最適挿入位置を求め、なお且つその挿入位置による有効性をチェックした上で、当該バッファを挿入することにより、半導体装置における全てのクリティカルネットの遅延特性が著しく改善される。

【0018】

【発明の効果】以上説明したように、本発明は、半導体装置のレイアウト時の初期配置または配線後において、機能セル間に存在するクリティカルネットを抽出し、当該クリティカルネットに挿入するバッファの有効性を確認した後に、クリティカルネットの最適挿入位置を求め、且つその挿入位置の有効性を確認した上で当該挿入位置にバッファを配置することにより、前記半導体装置に存在する全てのクリティカルネットにおける遅延特性を、従来の方法に対比して著しく改善することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の半導体装置の自動レイアウト方法の1実施例におけるフローチャートを示す図である。

【図2】半導体装置のバッファ挿入位置を示す機能セル間のブロック図である。

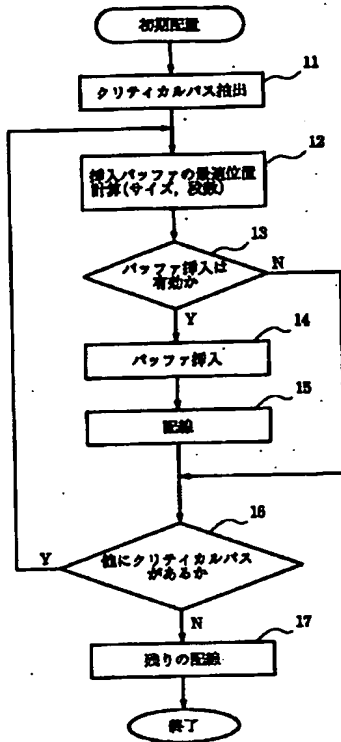
【図3】半導体装置のクリティカルネットにおける、バッファを挿入する場合および挿入しない場合の遅延特性を示す図である。

【図4】従来例による半導体装置のバッファ挿入位置を示す機能セル間のブロック図である。

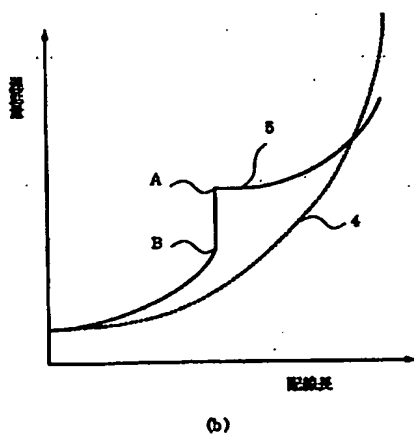
【符号の説明】

- 1、2 機能セル
- 3 バッファ
- 4 バッファを挿入しない場合の遅延特性
- 5 バッファを挿入する場合の遅延特性
- 11~17 ステップ
- L、 L_1 、 L_{10} 、 L_{11} 配線長

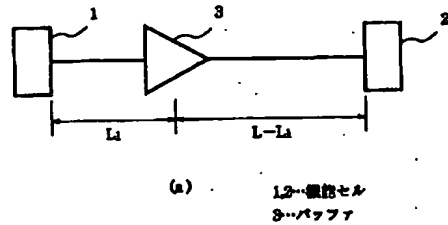
【図1】



【図3】



【図2】



【図4】

